Architettura degli Elaboratori 1 – Corso B

Seconda Prova di Verifica Intermedia a.a. 2004-2005
22 dicembre 2004

1) In un processore con la stessa PO vista a lezione ed in cui il prelievo e la decodifica delle istruzioni avvengono come visto a lezione, si consideri l'istruzione assembler

MAXMIN R_1, R_2, R_3

che scambia il *valore minimo* contenuto nei 32 registri generali con il *valore massimo* contenuto nelle celle di memoria di indirizzo compreso tra il contenuto del registro R_1 ed il contenuto del registro R_2. Se il valore minimo individuato è maggiore di zero, si salta alla istruzione assembler il cui indirizzo logico è contenuto nel registro R_3. Nel caso di valori inconsistenti , saltare alla microistruzione di etichetta *ecc.* Scrivere il microprogramma delle fasi di *fetch* e di *esecuzione* della istruzione.

2) UI interfaccia l'unità U con un bus a cui sono collegate altre n unità $U_0,...,U_{n-1}$. U può solo scrivere sul bus mentre le $U_0,...,U_n$ possono leggere o scrivere. L'arbitraggio e' di tipo *daisy chaining*. Descrivere mediante microprogramma PS il comportamento di UI sapendo che deve anche interfacciare U verso l'arbitro.

3) Descrivere quando viene generato un fault di TLB (Translation Lookaside Buffer) e dire come viene gestito dalla MMU.

4) Si consideri il seguente frammento di programma JAVA

```
        ....
for (i=0; i<2; i++)
    for (j=0; j<2; j++)
        dest[j][i] =source[i][j]
        ....
```

- le matrici dest e source *hanno dimensione 2×2*, sono *memorizzate per righe* ed ogni loro elemento *occupa 4 bytes*.
- l'indirizzo fisico del primo elemento di source è 0, mentre quello del primo elemento di dest è 16.
- l'architettura prevede *un solo livello* di cache, di capacità totale uguale a 16 bytes ed organizzato *direct-mapped.*
- il cache è inizialmente vuoto e la dimensione del blocco è 8 bytes .

Indicare, per ogni accesso in memoria generato dal programma, se tale accesso provoca *un miss* o *un hit* di cache. Descrivere i cambiamenti che si hanno se la capacità totale della cache è di 32 bytes.